

論文内容要旨 (和文)

平成 22 年度入学 博士後期課程

専攻名 バイオ工学専攻

氏 名 趙 勝一



論 文 題 目 断熱的論理回路を利用した低消費電力照明システムの研究

環境問題に対する世界的な関心が高まる中で電子機器の低消費電力化と電力再利用に対する「Green IT」が注目されている。照明分野でもエネルギー節減とエコ技術の開発が必要とされている。このように環境親和的な新光源が必要とされる情勢の中で LED などの SSL(solid state lighting)に対する開発が拡がっており、SSL だけでなくその駆動回路の低電力化と高効率化について多くの研究が進められている。

本研究では、SSL 照明システムの低消費電力化を、調光を制御するデジタル制御部を中心に実現することを目標とし、断熱的論理回路(adiabatic dynamic CMOS logic ; ADCL)に着目した。従来の CMOS 論理回路は一定の電圧値を持つ直流電源を用いて、出力レベル high と low の変化時にエネルギー損失が発生する。一方、断熱的論理回路は high, low の変化に対して同期した交流電源を使うので電圧をゆっくり上昇・下降させることが可能でエネルギー損失を低減することができる。この ADCL 回路を利用して、照度調整部として主に使用されているパルス幅変調(pulse width modulation ; PWM)方式を設計した。

1.2um 標準 CMOS モデルを使って設計した「ADCL デジタル 3-bit PWM 回路」と従来 CMOS デジタル回路の消費電力をシミュレーションで比較した。次に、それぞれのデジタル 3-bit PWM 回路のテストボードを作成して動作を確認した。また、CMOS と ADCL の消費電力を測定して比較した。その結果、断熱動作と電荷の再利用が可能な ADCL デジタル 3-bit PWM の消費電力の方が CMOS デジタル 3-bit PWM より入力 bit の全パターンで低い事が分かった。次には、0.18um 標準 CMOS モデルを使って設計した「ADCL デジタル 10-bit PWM 回路」と従来 CMOS デジタル回路の消費電力をシミュレーションで比較した。さらに、PWM の入力-bit を増加する事による消費電力を比較した。その結果、ADCL の方が CMOS より約 60%の消費電力の減少効果があった。機能が多くの将来の照度調整部で入力 multi-bit の増加によっても CMOS logic より ADCL の方の低消費電力効果が大きい事が分かった。

ADCL の断熱的動作のために必要な低消費電力同期化 clock 発生器と ADCL buffer を利用した断熱的論理回路の同期化回路を 1.2um 標準 CMOS モデルと 0.18um 標準 CMOS モデルを使って設計し、シミュレーションで動作を確認した。0.18um 標準 CMOS モデルで設計した clock 発生器の消費電力と、提案したさらなる低電力な同期化回路の消費電力を比較すると、提案した同期化回路と超低消費電力 Clock 発生器の合計の消費電力が clock 発生器の方式より小さい事が分かった。

TSMC 0.18um CMOS Design rule を利用して今まで設計した回路を LSI 設計ツールでパターン layout を設計し LSI 化を検討し、照度調整部と電源部を使用して低消費電力照度調整システムの実現が可能である事を確認した。ADCL digital 10-bit PWM、CMOS digital 10-bit PWM、33kHz Schmitt trigger、100MHz Schmitt trigger と Digital Counter の 5 つのブロックを設計し LSI 化を検討した。

論文は6章で構成する。第1章で背景と目的を述べて本研究を位置づけ、第2章で断熱的論理回路について詳述し、第3章で断熱的論理回路を適用した照度調整回路の設計、次いで第4章で断熱的論理回路に必要な電源部の実現について論じ、第5章でそのシステムLSI実現を検討した。第6章でこれら技術の今後の展望を示しながら総括した。

- (注) ① タイプ、ワープロ等を用いてください。10pt 2,000字程度 (2頁以内) とします。
② 論文題目が英文の場合は、題目の下に和訳を () を付して併記してください。

学位論文の審査及び最終試験の結果の要旨

平成25年 2月 5日

理工学研究科長 殿

課程博士論文審査委員会

主査 湯浅 哲也

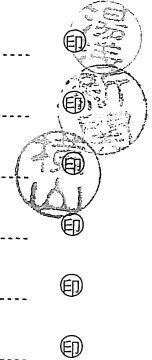
副査 新関 久一

副査 横山 道央

副査

副査

副査



学位論文の審査及び最終試験の結果を下記のとおり報告します。

記

1. 論文申請者

専攻名 バイオ工学 専攻
氏名 趙 勝一

2. 論文題目

断熱的論理回路を利用した低消費電力照明システムの研究

3. 審査年月日

論文審査 平成25年 1月25日 ~ 平成25年 2月 5日
論文公聴会 平成25年 2月 5日
場所 工学部 8号館 8-215教室
最終試験 平成25年 2月 5日

4. 学位論文の審査及び最終試験の結果

(1) 学位論文審査 合格
(2) 最終試験 合格

5. 学位論文の審査結果の要旨 (1,200字程度)

別紙のとおり

6. 最終試験の結果の要旨

別紙のとおり

別紙

専攻名	バイオ工学	氏名	趙 勝一
学位論文の審査結果の要旨			
<p>本論文は、照明システムにおける電子制御調光部の低消費電力化手法として、新しく断熱的論理回路を用いる手法を提案し、シミュレーションと実験による検証、さらには大規模半導体集積回路（VLSI）による実現可能性について論じたうえで、その有用性について実証的に示したものである。</p> <p>近年、環境問題に対する世界的な関心が高まる中で電子機器の低消費電力化と電力再利用に関する「Green IT」が注目されている。照明分野でもエネルギー節減が必要とされている中で、LED照明などのSSL（Solid-state Lighting）の普及に伴い、デジタル制御回路部の低電力化が今後ますます要求されてくる。SSL照明システムにおいて、新しい論理回路設計によって低消費電力化を実現しようというのが本研究の目的である。</p> <p>そこで本論文では、断熱的論理回路を利用した低消費電力 SSL システムにおける照度調整回路の設計手法を提案し、実験とシミュレーションによりその有効性を実証的に論じている。さらに、断熱的論理動作に不可欠な交流電源部との同期化回路についても新しい回路構成を提案しシミュレーションにより検証している。最後に、実際の $0.18\ \mu\text{m}$ 標準 CMOS を用いた VLSI 設計をおこない、その実現可能性を評価している。</p> <p>論文は6章からなり、第1章で背景と目的を述べ、近年および将来のSSL照明におけるデジタル論理回路部の低電力化の重要性を強調して本研究を位置づけたうえで、論文の構成を説明している。</p> <p>第2章では断熱的論理回路の基本的な動作について整理して詳述している。低消費電力動作をもたらす本質である断熱的論理回路動作と電荷の再利用について、および交流電源とクロック信号の同期と低電力動作条件との関係について、それぞれ論じている。</p> <p>第3章は、断熱的論理回路を適用した照度調整回路としてパルス幅変調（PWM）回路の設計について述べており、シミュレーションと実験とによりその消費電力を標準 CMOS 回路と比較して評価している。デジタル PWM のビット数が増加しても従来 CMOS に比して断熱的論理回路の方が大きな低消費電力効果が得られる事を示している。</p> <p>次いで第4章では断熱的論理回路に必要な不可欠な電源部とクロックとの同期に関して、新しい低消費電力同期化回路の提案とその評価について論じており、従来同期化回路方式に比較して提案方式では極めて低い消費電力で動作可能である事を示している。</p> <p>第5章では、実際の TSMC $0.18\ \mu\text{m}$ 標準 CMOS を用いてこれまで設計した回路について LSI 設計ツールを用いてパターンレイアウト設計し、VLSI 化実現性を検証している。</p> <p>第6章では本論文を総括し、この手法の有効性とさらなる大規模集積回路への発展性、VLSI チップ評価などの今後の課題を展望して結びとしている。</p> <p>なお、これらの研究成果は、既に2編の筆頭欧文学術誌論文、1編の筆頭国際学会論文などとして採択され、既刊となっている。</p> <p>以上、断熱的論理回路による低消費電力照明システムの設計手法を提案し、シミュレーション、実験と VLSI 設計によりこの手法の有効性を確認した成果は、工学に十分寄与するものであり、本論文は博士学位論文に値するものと認められ合格と判定する。</p>			
最終試験の結果の要旨			
<p>博士論文公聴会における質疑応答、および、個別面接諮問により、研究の進め方、関連する知識、語学力、理解力など、博士（工学）として必要とされる能力を備えていると認められたので、合格と判定する。</p>			