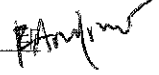


論文内容要旨（和文）

2021年度入学 大学院博士後期課程

電子情報工学専攻

氏 名 Andrino Robles Roberto



論 文 題 目 Design and Implementation of a Beat-frequency ADC with Internal-states Analyzer and Subcircuit-sharing Architecture

（内部状態分析回路とサブサーキット共有アーキテクチャによるビート周波数AD変換器の設計および実装）

近年では、半導体集積回路の微細化によって集積回路の性能が向上し、利用シーンの多様化によって様々な分野で使われるようになり、我々の生活に集積回路が浸透しつつある。そして、IoT (Internet-of-Things)により、あらゆる「もの」がインターネットに接続することで、自動的に環境や人間からデータを収集し、モニタリングシステムで解析・活用することができるようになった。例えば、腕などに取り付け可能なウェアラブル機器や、手軽に持ち運びやすいポータブル機器などが登場しているが、より幅広いところで使うために、微細化による性能向上と小型化・低消費電力化が要件となっている。しかし、微細化による性能向上は、機能的多様化に伴う回路面積の増加や消費電力増大・電力効率の低下により、技術的に限界がある。さらに、微細化により集積回路内の漏れ電流が増大し、小型化・低消費電力化に向けた設計方法に対する効果の低減にもつながっている。そのため、微細化に依存せずに、小面積化・低消費電力化を導く新たな設計手法として、従来の IoT システムの要件である compactness (小型化) と longevity (長寿命化) を考慮しながら、IoT システムを実現する集積回路での、回路ブロックや回路素子の構成の最適化について検討した。

従来の IoT システムには、同じ機能を実現する回路ユニットが複数存在する。例えば、発振器、カウンタ、フィルタなど、性能・動作が同じ余分なユニットを統廃合することで、システム全体を最適化できると考えた。このようなシステムの一例として、ケーブルを接続せずに情報と電力を送受する Wireless Data Transfer System (WDTS) がある。WDTS は主に、基準クロックを生成する Phase-locked Loop (PLL)、センサーの情報をデジタル化する A/D 変換器 (ADC) と送信器から構成される。PLL と ADC を動作するには発振器が必要であるが、発振器を回路ごとに複数利用するため、動作効率の低下につながっている。さらに、PLL と ADC の動作は、構成するコンデンサ容量に依存するが、集積回路に実装する際に、その容量に対するコンデンサの面積は非常に大きくなってしまい、集積化面積が増えてしまう。また、集積化面積を小さくするために微細化に適した MOSFET 容量を利用するが、MOSFET 容量の値は、入力電圧や温度変化・プロセスバラつきによって大幅に変化する非線形容量のため、PLL と ADC の動作範囲や変換精度に大きな影響を及ぼす。

そこで本研究では、これらの問題を考慮し、集積回路設計における、IoT システム・アーキテクチャ内の回路ユニットや回路構成の最適化・共通化により、IoT システム全体の面積と消費電力・動作精度を改善することを目的とする。本研究では、その例として、IoT システムを構成する PLL と ADC に対して、PLL や ADC の精度を向上させつつも、集積化面積や消費電力削減を実現する。本論文では、主に以下の三つについて提案する。

- ① サブサーキット共有手法を提案し、それを用いて PLL を構成する発振器等を共有化するこ

とで回路全体の高効率化をはかった、ビート周波数 ADC の設計。

- ② 発振器の内部信号の位相を分析する内部状態分析回路を付加することによる、集積化面積と電力効率向上を目指した、ビート周波数 ADC の高精度化。
- ③ MOSFET のソース・ドレイン端子に一定のバイアス電圧をかけることにより、温度変化やプロセスバラつきに依存せず、一定に近い容量を実現する小型 MOSFET 型コンデンサーの提案とその有効性。

これらの提案から、次のような結果が得られた。まず、サブサーキット共有アーキテクチャを用いることで、ビート周波数 ADC の面積と消費電力を、それぞれおよそ 21.7%と 27.1%削減することができた。さらに、内部状態分析回路によってビート周波数 ADC の変換精度を示す SNDR(Signal to Noise and Distortion Ratio) が平均で 6.72dB 上昇し、ビート周波数 ADC を高精度化することができた。よって、サブサーキット共有アーキテクチャと内部状態分析回路の利用により、PLL と ADC が問題なく同時に動作でき、システム全体の集積化面積や電力効率を犠牲にせず、本研究の回路において compactness と longevity を実現することができた。

最後に、MOSFET のソースとドレイン端子にバイアスをかけることにより、現在の最先端コンデンサーよりも変動の少なく (2.63% ~ 5.34%)、高容量で、温度変化やバラつき耐性の高い MOSFET 型コンデンサーを実現する standard cell を設計し、本研究の回路に実装することで、提案した MOSFET 型コンデンサーの有効性を示すことができた。

論文内容要旨 (英文)

2021年度入学 大学院博士後期課程

電子情報工学専攻

氏 名 Andrino Robles Roberto



論 文 題 目 Design and Implementation of a Beat-frequency ADC with Internal-states Analyzer and Subcircuit-sharing Architecture

(内部状態分析回路とサブサーキット共有アーキテクチャによるビート周波数AD変換器の設計および実装)

Transistor miniaturization and the diversification of functions carried out by semiconductor integrated circuits have improved their performance to the point where they are now ubiquitous in our daily lives. However, miniaturization has limitations due to high costs and technological complexities, and increasingly intricate systems use more area and power. Therefore, a design method that leads to smaller area and lower power consumption independently of miniaturization is needed.

In this study, it is identified that conventional systems have multiple circuit units that perform the same function unnecessarily, e.g. oscillators, filters, counters, and it is proposed that the system can be optimized by consolidating redundant units. An example a wireless data transfer system, which consists of a phase-locked loop (PLL), an analog-digital converter (ADC), and a transmitter. An oscillator is required to implement the PLL and ADC, but because they are isolated from each other, multiple oscillators are used, which causes a reduction in efficiency. Furthermore, the accuracy of the PLL and ADC depends on conventional capacitors that are either too large and area inefficient, or unreliable due to their value being dependent on input voltage.

This study aims to improve the area, power consumption, and operating accuracy of the system by optimizing the architecture and circuit designs. Three main novelties are proposed.

1. A new subcircuit sharing architecture, where the system's area and power consumption is reduced by reusing the area and power of a shared oscillator to simultaneously operate the PLL and ADC.
2. A Beat-frequency ADC with improved conversion resolution achieved by an Internal-state analyzer without a net sacrifice of power or area efficiency.
3. A complementary gate MOSFET capacitor with source and drain bias with small area and nearly voltage-independent capacitance.

The main achievements were an area and power reduction of 21.7% and 27.1%, respectively, and resolution improvement by 6.72dB on average for the ADC. Also, a capacitor with lower variation than the current state of the art, between 2.63% and 5.34%, higher capacitance and better tolerance to PVT variations was proposed.

学位論文の審査及び最終試験の結果の要旨

令和 6 年 8 月 7 日

理 工 学 研 究 科 長 殿

課程博士論文審査委員会

主査 原田 知親
副査 横山 道央
副査 多田 十兵衛
副査 峯田 貴
副査

学位論文の審査及び最終試験の結果を下記のとおり報告します。

記

論 文 申 請 者	専攻名 電子情報工学専攻 氏名 Roberto Andrino Robles		
論 文 題 目	Design and Implementation of a Beat-frequency ADC with Internal-states Analyzer and Subcircuit-sharing Architecture (内部状態分析回路とサブサーキット共有アーキテクチャによるビート周波数 AD 変換器の設計および実装)		
学位論文審査結果	合格	論 文 審 査 年 月 日	令和 6 年 7 月 22 日～ 令和 6 年 7 月 30 日
論 文 公 聴 会	令和 6 年 7 月 30 日	場 所	工学部 11 号館 2 階 未来ホール
最 終 試 験 結 果	合格	最 終 試 験 年 月 日	令和 6 年 7 月 30 日

学位論文の審査結果の要旨 (1,000 字程度)

AI/IoT の普及により、集積回路の需要が年々増加しているが、追加機能による集積化面積と消費電力の増加や、微細化に伴うコスト高が問題となっているため、新たな手法での高機能高集積化と消費電力削減が必要になる。そこで、本論文では、IoT 向け集積回路としてセンサ情報無線伝送システムをターゲットとして、サブスレシールド領域での回路駆動と、サブサーキット共有アーキテクチャ、内部状態分析回路、基準クロックの生成と A/D 変換精度向上に AD-PLL(All-Digital Phase-Locked Loop)を用いた、ビート周波数 AD 変換器を設計し評価を行なった。

第 1 章は、本論文の背景と目的について述べる。第 2 章では、本研究の構成回路の 1 つである、サブスレシールド動作フィルタレス AD-PLL について述べる。その結果、基準周波数 1MHz と 32.767kHz における出力ジッタを 2.96%に抑えることができ、安定なクロックを生成可能であると結論できる。第 3 章では、AD-PLL のクロック調整用キャパシタバンクに対して、新たな MOSFET ベースの線形化 CMOS キャパシタを提案・設計・評価を行なった。提案する回路では、構成する nMOS/pMOS の基板電位を印加し基板内の空乏層容量をゲート電圧に応じて制御することで、MOSFET 容量の線形化を実現した。その結果、キャパシタにおける FoM(Figure of Merit)の向上を達成した。第 4 章では、第 2 章・第 3 章を受けて、ビート周波数 AD 変換器の設計・評価をおこなった。2 つのアナログ入力電圧制御発振器 VDCO を制御し、AD 変換器を構成する AD-PLL の発振器 DCO をサブサーキット共有アーキテクチャ手法で共有化し、これと VDCO の周波数差をカウンタでカウントしつつ、内部状態分析回路にて高精度で取得し、デジタル変換する。同時に、AD-PLL は 13.56MHz のクロックを生成する。従来のデザインでは有効ビット数は 5.52 bit であるが、本論文の手法により、6.39 bit に向上した。また、総消費電力 36.3μW のうち 9.93μW を AD-PLL と共有することで、消費電力を増加させずに有効ビット数を向上できる結果を得た。第 5 章では、本論文の結論と今後の課題について述べ、全体を総括している。

このように、本論文テーマには独自性があり、自ら研究を計画・遂行するための専門知識をもって、研究背景・目的が正しく述べられていた。学位論文の構成は適切かつ体裁も整っており、設定した研究テーマに沿って明確な結論が述べられていた。また、上記論文の成果として、査読つき筆頭者論文 1 報が学術論文誌に採択され、国際会議論文においても 3 件発表、さらに、本研究の成果とアイデアに対して d.lab-VDEC デザインアワード嘱望賞を受賞している。以上により、本論文を博士(工学)の学位論文として合格と判定した。なお、本論文は、研究倫理又は利益相反等に係る学内規則に基づく手続きは必要ありません。

最終試験の結果の要旨

最終試験では、本論文の発表(50 分)後に、学位論文を中心とした関連のある学術的項目内容について、40 分の質疑応答により行なった。その結果、当該学生の専門的な知識や、得られた成果をもとに根拠をもって明確に回答がなされたため、主査および副査が全員一致して博士の学位を授与するのに十分な専門知識と研究遂行能力を有していると判断されたため、最終試験について合格と判定した。