

# 論文内容要旨 (和文)

平成 14 年度入学 大学院博士後期課程

システム情報工学専攻 知能機械システム講座

学生番号 02522307

氏名 高橋 康宏



論文題目 Digital Hilbert Transformers: Analysis, Design and VLSI Implementation  
(デジタルヒルベルト変換器集積化に関する研究)

近年のデジタル技術の発展は一層高度なデジタル技術の確立を促し、これからの情報化社会の発展にともなう無線通信技術のデジタル化をも促進している。以前より無線通信に用いられているヒルベルト変換器のデジタル化もまた、その流れに沿うものである。デジタル化されたヒルベルト変換器には、デジタルシグナルプロセッサ(DSP)によるものが存在する。しかし、DSP は音声信号処理向けに特化されており高速移動体通信には不向きである。そこで、ヒルベルト変換器を専用の大規模集積化回路(LSI)で構成し、かつLSIの高速動作・低消費電力化を図ることにより、携帯機器の動画伝送など、他の移動体無線通信にも応用可能となる。本論文の目的は、このヒルベルト変換器 LSI の高速動作、低消費電力化の追求にある。

本論文は、高速動作および低消費電力特性をもつヒルベルト変換器の集積化手法について論じている。この高速動作および低消費電力特性は、次に掲げる手法により達成される。まず、ヒルベルト変換器を有限長インパルス応答フィルタ(FIR フィルタ)とすることで、アナログフィルタで問題となるオフセットやドリフトなどの短所のない高パフォーマンスである特徴を持たせる。次に、FIR フィルタの係数に冗長2進系を採用することで、デジタルフィルタ自体の高速化と、回路面積削減を図る。最後に、FIR フィルタの集積化において問題となる乗算器の回路削減を達成するために、係数探索アルゴリズムと共通部分式除去法を提案する。

本論文は以下の6章で構成されている。

第1章では、背景および目的において、デジタル通信における LSI 技術と信号処理 LSI 発展の経緯を示し、本研究の工学的位置付けを述べている。

第2章は、ヒルベルト変換およびヒルベルト変換から得られる解析信号について述べている。実信号より変復調に必要な瞬時周波数もしくは瞬時位相を得るには、実信号を複素信号に変換する必要がある。この複素信号の正周波数成分または負周波数成分のどちらか一方のみをもつ信号を解析信号と呼んでおり、複素信号の実部と虚部はヒルベルト変換の関係で強く結びついている。そこで、本章ではこれら複素信号、解析信号、ヒルベルト変換の関連性について詳述する。

第3章は、ヒルベルト変換器の実現の際に選択した FIR フィルタについての概要を述べている。本章では、FIR フィルタの諸特性やヒルベルト変換器実現に FIR フィルタを選択した場合のフィルタ係数対称性および帯域通過型特性の決定法について論じている。さらに、因果的なヒルベルト変換器の概念設計について論じる。

第4章では、冗長2進数系を係数にもつ FIR フィルタ(以下、CSD 係数 FIR フィルタ)の設計法について述べる。CSD 係数 FIR フィルタは、係数に2の補数表現をとる FIR フィルタと比べ、乗算ブロック内の非零ビットの削減、つまり加算器数を削減できる。本章では、乗算ブロック内の加算器数削減に着目し、加算器削減のための共通部分項除去法(CSE 法)および係数探索法を新たに提案する。提案する CSE 法は、共通部分項決定にコストパフォーマンスに関する式を導入している。これにより、回路規模が低減できる。また、係数探索法においては、局所探索法を採用することにより非零ビットの削減を行っている。しかし、従来の探索法によるフィルタ設計では計算時間が膨大であり、それにとまらぬ LSI 設計に関わる設計所要時間(ターン・アラウンド・タイム)も長くなる。そこで、本章では局所探索する探索範囲を制限した新たな局所探索法を提案し、設計時間改善を図る。

第5章は、ヒルベルト変換器の集積化回路実現およびLSI 試作のための方法を述べている。ヒルベルト変換器は FIR フィルタの係数値や信号語長により、振幅周波数特性が変化し、あわせて回路面積や動作速度も大きく異なってくる。そこで、本章では、FIR フィルタの係数値や信号語長を変化させることで、本提案法と従来の提案法で設計されたヒルベルト変換器の回路面積および動作速度にどのような相違点があるのかを具体的に論じる。また、回路実現の際のヒルベルト変換器の内部仕様および回路構成についても詳述する。

第6章は、本論文の総括であり、あわせてこれら技術の今後の展望を示している。

本論文では次の結論が得られ、要約すると以下3点が挙げられる。

- (1) 提案した CSE 法と従来の CSE 法により設計された CSD 係数 FIR フィルタを LSI 設計用の論理合成ツールを用いて回路合成し、回路面積と動作速度の比較を行った。その結果、本提案法は面積比で約 1-36%、速度比で約 2-40%削減することができた。これは LSI に使用される CMOS プロセスのテクノロジーに依存することなく、同等の効果が期待できることを示した。
- (2) 局所探索法による CSD 係数 FIR フィルタの設計時間と非零ビットの数をシミュレーションにより評価した。評価対象は 28 次低域通過型フィルタである。シミュレーションの結果、非零ビットは必ずしも最小とはならないものの、フィルタ設計に要する時間を半分以下にすることができた。このことから、ターン・アラウンド・タイムも半分以下に削減することが可能であり、本提案法の有用性が示された。
- (3) FIR フィルタの係数値や信号語長によらず、本論文で提案した方式により設計されたヒルベルト変換器は回路面積および遅延時間ともに最小となることを示した。最後に本論文で提案した方式を実検証するために、次数 31 次の FIR ヒルベルト変換器の LSI 試作を行った。試作に用いた CMOS プロセスは  $0.35\mu\text{m}$  であり、LSI のチップサイズは  $2.4\text{mm}\times 2.4\text{mm}$  角である。そのときのヒルベルト変換器の占有面積は  $0.91\times 0.91\text{mm}^2$  であった。また、動作速度および消費電力は、シミュレーションより 71MHz および 263mW と概算された。これを従来のセミカスタム方式と比較したところ、面積比で約 47%、遅延時間比で約 24%削減できることが示された。このことは、CMOS プロセスのスケールリング則を適用し、他のプロセスで設計することを想定した場合でも、本提案法によるヒルベルト変換器が常に最小面積かつ最高動作速度となることを示すものである。

## 論文内容要旨 (英文)

平成 14 年度入学 大学院博士後期課程

システム情報工学専攻 知能機械システム講座

学生番号 02522307

氏名 高橋 康宏



論文題目 Digital Hilbert Transformers: Analysis, Design and VLSI Implementation  
(デジタルヒルベルト変換器集積化に関する研究)

The purpose of this thesis is to design and implement a low-power, high-speed and high-accuracy Hilbert transformer using a novel finite impulse response (FIR) digital filter with canonic signed digit (CSD) coefficients.

Various approaches to the efficient implementation of FIR filters with CSD code coefficients are presented in the thesis. These include: optimization transformations on signal flow graphs technique such as common subexpression elimination and coefficient optimization technique which suitably modifies the coefficients while satisfying the desired filter characteristics such as passband ripple(s) and stopband attenuation(s).

The main results of the thesis are summarized as follows:

- (1) The proposed common subexpression elimination method has been an efficient way to find the correct bit-patterns for horizontal and vertical common subexpression elimination techniques. Through examples, it has shown explicitly that this proposed method gives the lowest implementation compared to other conventional methods.
- (2) The proposed coefficient optimization technique has been a novel local search algorithm with respect to the frequency of appearance of signed-power-of-two (SPT) terms. The computational time of the proposed algorithm has been about two times as fast as those of the conventional local search algorithms. Although this algorithm has been intended to reduce the number of partial SPT terms, it would have been used to design an FIR filter which has a small number of SPT terms as the conventional algorithms.
- (3) The proposed 31st order Hilbert transformer has been fabricated in 0.35 $\mu$ m CMOS process technology. The core size is 0.91 $\times$ 0.91mm<sup>2</sup>, and it integrates about 33k transistors. The proposed Hilbert transformer has been an estimated clock frequency of 71MHz and an estimated power consumption of 263mW at 70MHz. From the trends regarding the chip area of a Hilbert transformer which is fabricated by using semi-custom design, we have estimated a 47% reduction in the area as compared with the earlier Hilbert transformer. We also have estimated a 24% reduction in the critical path time.

# 学位論文の審査及び最終試験の結果の要旨

平成 17年 2月18日

理工学研究科長 殿

## 課程博士論文審査委員会

主査 赤塚 孝雄



副査 田村 安孝



副査 北嶋 龍雄



副査 後藤 源助



学位論文の審査及び最終試験の結果を下記のとおり報告します。

## 記

### 1. 論文申請者

専攻名 システム情報工学 専攻

氏名 高橋 康宏

### 2. 論文題目

**Digital Hilbert Transformers: Analysis, Design and VLSI Implementation**  
(デジタルヒルベルト変換器集積化に関する研究)

### 3. 学位論文公聴会

開催日 平成 17年 2月 1日

場 所 工学部7号棟 7-214会議室

### 4. 審査年月日

論文審査 平成17年 1月25日 ~ 平成17年2月 1日

最終試験 平成17年 2月 2日 ~ 平成17年2月18日

### 5. 学位論文の審査及び最終試験の結果

(1) 学位論文審査 合格

(2) 最終試験 合格

### 6. 学位論文の審査結果の要旨

別紙のとおり

### 7. 最終試験の結果の要旨

別紙のとおり

別 紙

専 攻 名	システム情報工学	氏 名	高橋 康 宏
学位論文審査結果の要旨			
<p>本論文は、高速動作で低消費電力のデジタルヒルベルト変換器の集積化の実現を論じ、その効果的な設計法を提案し、大規模半導体集積回路 (VLSI) の試作を行って有用性を実証的に示したものである。</p> <p>近年のデジタル技術の驚異的な発展は、一層高度なデジタル技術の確立を促している。特に、これからの情報化社会の進展に伴う無線通信技術のデジタル化は極めて重要な課題となっている。このための VLSI の高速動作化と低消費電力化は必要不可欠である。デジタル通信において重要な構成要素であるヒルベルト変換器 VLSI を取り上げて、具体的にこれらを実現しようというのが本研究の目的である。</p> <p>そこで本論文では、有限インパルス応答デジタルフィルタで高パフォーマンスの変換器を実現することにして、デジタルフィルタの係数に冗長 2 進数表記を採用することで、共通部分項を除去する手法および実現するフィルタの係数を効率的に探索する手法を提案して、デジタルフィルタの高速化と消費電力の低減を、更には設計作業の効率化を実現できることを示している。最後に、プロトタイプを製作して、この手法の有効性を実証的に論じている。</p> <p>論文は 6 章からなり、第 1 章で背景と目的を述べ、デジタル通信における VLSI 技術展開を強調して本研究を位置づけたうえで、論文の構成を説明している。</p> <p>第 2 章では、ヒルベルト変換の基本的な性質を整理して論じ、実現すべきフィルタを明確にしている。</p> <p>第 3 章は、その実現のために選択したフィルタについて述べており、その諸特性を整理したうえで、ヒルベルト変換器実現に際してのフィルタ係数の性質と帯域通過特性とについて詳述し、因果的なヒルベルト変換期の設計概念を論じている。</p> <p>次いで、第 4 章では、正準冗長 2 進係数によるフィルタの記述を用いて、有限インパルス応答フィルタの設計手法を論じている。正準冗長 2 進係数表現にすることで、他の表現法よりフィルタの乗算部の加算器を削減できるが、更に削減するために、共通部分項除去法と係数探索法を新たに提案し、その実現方法と特性、回路規模を低減する特性とを詳述している。このとき、非零ビット係数削減のための係数探索で、探索範囲を限定した局所探索法を考案して VLSI 設計所要時間の短縮を実現している。</p> <p>第 5 章では、前章までに論じてきた結果を適用しながら集積回路を実現する手法を論じている。実際にセミカスタム方式での 31 次フィルタによるヒルベルト変換 VLSI を作成して、これまでの他の手法との比較評価を試みている。種々の条件下で、従来法に比べ、回路面積で最大 36%、演算速度で 40% の削減を達成し、設計時間を半分にするにも成功している。</p> <p>第 6 章では本論文を総括し、この手法を他のフィルタ設計に用いる展開やフルカスタム方式による一層の改善を示唆しながら、今後の課題を展望して結びとしている。</p> <p>以上、デジタル有限インパルス応答フィルタによるヒルベルト変換器の効率的な設計手法を提案し、シミュレーションと VLSI 試作によりこの手法の有効性を確認した成果は、工学に十分寄与するものであり、本論文は博士学位論文に値するものと認められ合格と判定する。</p> <p>なお、これらの研究成果は、既に 2 編の筆頭欧文学術誌論文、5 編の筆頭国際学会論文などとして採択され、既刊または刊行予定となっている。</p>			
最終試験結果の要旨			
<p>博士論文公聴会における質疑応答、および、個別面接諮問により、研究の進め方、関連する知識、語学力、理解力など、博士 (工学) として必要とされる能力を備えていると認められたので、合格と判定する。</p>			